

DIALOG(R)File 352:Derwent WPI

(c) 2003 Thomson Derwent. All rts. reserv.

008954564 \*\*Image available\*\*

WPI Acc No: 1992-081833/199211

XRAM Acc No: C92-037806

XRPX Acc No: N92-061410

Mfr. of low leakage polysilicon@ thin-film transistor - including  
depositing thin alkali-resistant inorganic film on glass substrate before  
first silicon oxide layer

Patent Assignee: PHILIPS GLOEILAMPENFAB NV (PHIG ); PHILIPS ELECTRONICS  
NV (PHIG ); NORTH AMERICAN PHILIPS CORP (PHIG )

Inventor: MITRA U; VENKATESAN M

Number of Countries: 007 Number of Patents: 005

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 474289	A	19920311	EP 91202178	A	19910828	199211 B
US 5112764	A	19920512	US 90578106	A	19900904	199222
<b>JP 4234134</b>	A	19920821	JP 91221441	A	19910902	199240
EP 474289	B1	19951108	EP 91202178	A	19910828	199549
DE 69114418	E	19951214	DE 614418	A	19910828	199604
			EP 91202178	A	19910828	

Priority Applications (No Type Date): US 90578106 A 19900904

Cited Patents: 2.Jnl.Ref; EP 129037; JP 2211637; US 4851363

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
EP 474289	A	10		

Designated States (Regional): DE FR GB IT NL

US 5112764 A 6 H01L-021/265

JP 4234134 A 6 H01L-021/336

EP 474289 B1 E 10 H01L-029/786

Designated States (Regional): DE FR GB IT NL

DE 69114418 E H01L-029/786 Based on patent EP 474289

**Abstract (Basic):** EP 474289 A

Transistor is mfd. by: depositing a thin layer of alkali-inert material (2) on a glass substrate (1) of annealing pt. below 650 deg.C; adding a thick CVD SiO<sub>2</sub> layer (3); adding a thin amorphous Si layer at 520-570 deg.C; annealing at below 650 deg.C in N<sub>2</sub> to form a large grain polySi layer; patterning the polySi to form islands; oxidising the islands at below 650 deg.C to form thin gate oxide (6); adding a thick, heavily doped polySi gate layer (8); lightly implanting source and drain areas (9,10); adding thin overall CVD SiO<sub>2</sub> (11); heavily doping polySi (12,13) adjacent the lightly doped source and drain; annealing at below 650 deg.C; and hydrogenating at 200-400 deg.C in an H<sub>2</sub> plasma. Inorganic layer (2) is 800-1200 Angstroms Si<sub>3</sub>N<sub>4</sub>. The glass substrate has an annealing pt. of 550-650 deg.C. The thick polySi layer is annealed at 580-620 deg.C. The gate oxide (6) is formed at 550-650 deg.C at 5-50 atmos. pressure. The first and second polySi layers have thicknesses respectively of 500-1500 and 4000-7000 Angstrom. The second polySi layer is doped with BF<sub>3</sub>.

**ADVANTAGE - Transistors having low leakage current are formed on  
low-cost commercial glass substrates.**

**Dwg.1c/2**

**Title Terms: MANUFACTURE; LOW; LEAK; POLY; SILICON; THIN; FILM;  
TRANSISTOR; DEPOSIT; THIN; ALKALI; RESISTANCE; INORGANIC; FILM; GLASS;  
SUBSTRATE; FIRST; SILICON; OXIDE; LAYER**

**Derwent Class: L03; R46; U11; U12**

**International Patent Class (Main): H01L-021/265; H01L-021/336; H01L-029/786**

**International Patent Class (Additional): H01L-029/78; H01L-029/784**

**File Segment: CPI; EPI**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-234134

(43) 公開日 平成4年(1992)8月21日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336 29/784		9056-4M 9056-4M	H 0 1 L 29/ 78	3 1 1 P 3 1 1 X

審査請求 未請求 請求項の数5(全 6 頁)

(21) 出願番号	特願平3-221441	(71) 出願人	590000248 エヌ・ベー・フィリップス・フルーイラン ペンファブリケン N. V. PHILIPS' GLOEIL AMPENFABRIEKEN オランダ国 アインドーフエン フルーネ ヴァウツウエツハ 1
(22) 出願日	平成3年(1991)9月2日	(72) 発明者	ウダイアナス ミトラ アメリカ合衆国 ニューヨーク州 10591 タリータウン サウス ブロードウェイ 240
(31) 優先権主張番号	07/578106	(74) 代理人	弁理士 杉村 暁秀 (外5名)
(32) 優先日	1990年9月4日		
(33) 優先権主張国	米国 (US)		

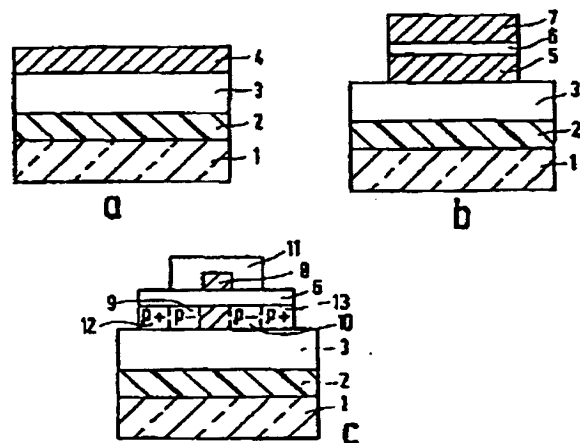
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

## (57) 【要約】

【目的】 漏れ電流を少なくしたポリシリコン薄膜トランジスタを製造する。

【構成】 比較的に厚い酸化珪素層を 650℃以下の焼なまし点を有するガラス基板に堆積し、比較的に薄いポリシリコン層を堆積し、比較的に薄いポリシリコン層を窒素雰囲気中 650℃以下の温度で焼なましして大きい粒子を形成し、薄いポリシリコン層を腐食して島を形成し、少なくとも1つの島に薄いゲート酸化物層を高圧下 650℃以下の温度で酸化することによって形成し、比較的に厚いドーパされたポリシリコン層をゲート酸化物層に堆積し、ゲートを比較的に多くドーパされ、比較的に厚いポリシリコン層から形成する。



## 【特許請求の範囲】

【請求項1】 (a) 薄いアルカリ不活性無機材料層を 650℃以下の焼きなまし点を有するガラス基板に堆積し；

(b) 最初の比較的厚い酸化珪素層を無機材料層に化学蒸着によって堆積し；

(c) 比較的薄い非晶質シリコン層を最初の酸化珪素層に 520～570℃の温度で堆積し；

(d) 前記薄い非晶質シリコン層を窒素雰囲気中 650℃以下の温度で焼きなましして大きい粒子のポリシリコン層を形成し；

(e) 前記比較的薄いポリシリコン層を腐食して前記ポリシリコン層の部分を除去し、および前記最初の酸化珪素層の選定区域を露出し、および前記ポリシリコン層に島を形成し；

(f) 少なくとも1つの前記島を高圧下 650℃以下の温度で酸化して薄いゲート酸化物層をポリシリコンの前記島に形成し；

(g) 比較的厚い多くドーブされたポリシリコン層を前記ゲート酸化物層に堆積し、および前記多くドーブされたポリシリコン層の部分を腐食除去してゲートを形成し；

(h) pまたはnドーブ剤を、前記ゲートに横方に隣接する前記ポリシリコン島の区域に比較的少なく注入して少なくドーブされたソースおよびドレイン区域を形成し；

(i) 化学蒸着により、第2の比較的薄い酸化珪素層を前記ゲートに、および隣接する少なくドーブされたソースおよびドレイン区域に設け；

(j) 前記比較的少なくドーブされたソースおよびドレイン区域に隣接する前記第1シリコン層の区域を比較的に多くドーブし；

(k) 前記ソースおよびドレイン区域を 650℃以下の温度で焼もどしし；および

(l) 形成したデバイスを水素プラズマにより 200～400℃の温度で水素化する各段階からなることを特徴とする低い漏れ電流を有する薄膜トランジスタの低温製造方法。

【請求項2】 アルカリ不活性無機材料を窒化珪素とする請求項1記載の方法。

【請求項3】 基板が約 550～650℃の焼もどし点を有する請求項2記載の方法。

【請求項4】 前記比較的厚いポリシリコン層を 580～620℃の温度で焼もどす請求項3記載の方法。

【請求項5】 島を 5～50気圧の圧力下 550～650℃で加熱することによって、ゲート酸化物層を形成する請求項4記載の方法。

【請求項6】 (a) 最初の比較的厚い酸化珪素層を半導体基板に形成し；

(b) 比較的薄いポリシリコン層を前記最初の酸化珪素層に 650℃以下の温度で堆積し；

(c) 前記比較的薄いポリシリコン層を窒素雰囲気中で

焼もどしし；

(d) 前記比較的薄いポリシリコン層の選定部分を腐食により除去して前記最初の酸化珪素層の選定部分を露出し、および島を前記比較的薄いポリシリコン層に形成し；

(e) 少なくとも1つの前記島を高圧下約 650℃以下の温度で酸化して薄いゲート酸化物層を前記比較的薄いポリシリコン層の前記島に形成し；

(f) 第2の比較的厚いポリシリコン層を前記ゲート酸化物層に堆積し；

(g) 前記第2ポリシリコン層を多くドーブし、反応性イオン腐食によって形成するドーブされた第2ポリシリコン層の部分を腐食除去してゲートを形成し；

(h) 前記ゲートに横方に隣接する前記ポリシリコン層の前記島の形成する露出区域を比較的に少なくドーブして少なくドーブされたソースおよびドレイン区域を形成し；

(i) 比較的薄い酸化珪素層を前記ゲートに、および前記隣接する少なくドーブされたソースおよびドレイン区域に設け；

(j) 前記少なくドーブされたソースおよびドレイン区域に隣接する前記ポリシリコン層の前記島の露出区域を比較的に多くドーブして比較的に多くドーブされたソースおよびドレイン区域を形成し；

(k) 前記ソースおよびドレイン区域を 600～750℃の温度で焼もどしし；および

(l) 形成したデバイスを水素プラズマによって約 400℃以下の温度で水素化する各段階からなることを特徴とする減少した逆漏れ電流を示す薄膜トランジスタの製造方法。

【請求項7】 前記島の前記高圧酸化を 5～50気圧下 550～650℃の温度で行う請求項6記載の方法。

【請求項8】 デバイスを 200～450℃で水素化する請求項7記載の方法。

【請求項9】 第2ポリシリコン層をBF<sub>3</sub>でドーブする請求項8記載の方法。

【請求項10】 前記第1ポリシリコン層は約 500～1500Åの厚さを有し、および第2ポリシリコン層は約4000～7000Åの厚さを有する請求項8記載の方法。

【請求項11】 最初の比較的厚い酸化珪素層を化学蒸着により堆積す請求項1記載の方法。

【請求項12】 最初の比較的厚い酸化珪素層を化学蒸着により堆積する請求項2記載の方法。

【請求項13】 薄い窒化珪素層は 800～1200Åの厚さを有し、および比較的厚い酸化珪素層は 17,000～23,000Åの厚さを有する請求項5記載の方法。

【請求項14】 (a) 650℃以上の焼もどし点を有するガラス基板；

(b) 前記基板に堆積した比較的薄いアルカリ不活性無機材料層；

(c) 前記アルカリ不活性無機材料に堆積した最初の比較

3

的に厚い酸化珪素層；

(d) 前記最初の比較的厚い酸化珪素層に堆積した第1の比較的薄いポリシリコン層；

(e) 前記第1の比較的薄いポリシリコン層に堆積した比較的薄いゲート酸化物層；

(f) 比較的に多くドーパされた区域により設けたゲート；

(g) 前記ゲート酸化物層の表面の部分に設けた第2の比較的厚いポリシリコン層；

(h) 前記ゲートに横方に隣接する前記第1の比較的薄いポリシリコン層の部分に設けた比較的に多くドーパされたソースおよびドレイン区域；

(i) 前記ゲートに、および前記少なくドーパされたソースおよびドレイン区域に設けた比較的薄い酸化珪素層；および

(j) 前記比較的に少なくドーパされたソースおよびドレイン区域に横方に隣接する前記第1の比較的薄いポリシリコン層の部分に設けた比較的に多くドーパされたソースおよびドレイン区域からなり、前記ソースおよびドレイン区域を焼もどしたことからなることを特徴とする逆バイアスの際に低い漏れ電流を示す薄膜トランジスタ。

【請求項15】 アルカリ不活性無機材料を窒化珪素とする請求項14記載の薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【従来の技術】本発明は逆方向バイアス条件下において低い逆漏れ電流を示すポリシリコン薄膜トランジスタ(TFT)を製造する方法に関する。また、本発明は使用する二次加工温度が一般に入手しうるガラス基板に用いるのに十分に低い、漏れ電流の低い高性能のポリシリコン薄膜トランジスタの製造に関する。

【0002】

【背景技術】米国特許第4,843,443号明細書(オプシスキー氏ら)に記載されているように、薄膜電界効果形トランジスタは液晶表示器および高密度記憶装置に用いられるような電子マトリックス配列に特に、有利であることが確かめられている。かかるトランジスタを、特に映写テレビジョンシステムについての液晶表示器に用いる場合には、これらトランジスタの漏れ電流を最小にすることが重要である。米国特許第4,904,056号明細書には、漏れ電流が液晶マトリックスに用いる液晶コンデサに蓄積された電圧を変化させ、その結果として表示性能を低下することが記載されている。

【0003】米国特許第4,752,814号明細書には、高電圧非晶質シリコン薄膜トランジスタ、およびエレクトログラフィック針を駆動するのに用いられる非晶質シリコントランジスタスイッチに用いるためにドレイン電極から側方に配置されたゲートおよびソース電極の使用について記載されている。この点に関して、トランジ

4

スタの逆電流流れは、トランジスタの絶縁破壊および針の中断作用を防止するために、最小にする必要がある。

【0004】一般に、ポリシリコン薄膜トランジスタの製造には1000℃のように高い温度の使用が要求される。この結果、高価な石英基板の使用が要求されている。

【0005】ガラス基板を用いることのできる650℃以下の温度で作られた薄膜トランジスタについてはH. オシマおよびS. モロズミ氏によって報告されている(IE DM proceeding, Washington, 1989, ページ157)。

これらのデバイスの特性は、高温で作られた薄膜トランジスタと比較した場合に、非常に悪いことが確かめられている。更に、これらの低温で作られたトランジスタは比較的の高い漏れ電流を示すことが確かめられている。

【0006】米国特許第4,851,363号明細書(トロクセル氏ら)には、約800℃の焼もどし点(annealing points)を有するアルミノ珪酸塩ガラスについてのポリシリコン薄膜トランジスタについて記載されている。また、この米国特許の方法により作られたトランジスタは漏れ電流を減少することについて試みられていない。また、方法の1段階において、少なくとも800℃の温度が用いられており、多くの一般に入手しうるガラスを用いることができるより高い温度が使用されている。

【0007】欧州特許第0129037号明細書(マルヒ氏ら)には、水素プラズマ処理を用いて薄膜トランジスタにおける漏れ電流を減少する方法が記載されている。この技術は漏れ電流を減少することができるけれども、特に低温で作られたデバイスの場合より、より著しく低くする必要がある。なぜならば、低温での製造は高い電界と多くの漏れ電流を生ずる鋭い(よく拡散しない)接合を形成するためである。

【0008】

【発明の開示】本発明の主目的は漏れ電流を少なくした薄膜トランジスタの製造方法を提供することである。本発明の他の目的は漏れ電流を減少し、および650℃を有意に越さない焼なまし点を有する安価で、かつ一般に入手しうるガラス基板を用いる薄膜トランジスタの製造方法を提供することである。

【0009】本発明の第1の観点によると、減少した逆漏れ電流を示し、かつ半導体基板を用いる薄膜トランジスタを製造することであり、この方法は比較的厚い酸化珪素層を半導体基板に化学蒸着により堆積し、比較的薄いポリシリコン層を上記比較的厚い酸化珪素層に520~570℃の温度で堆積し、比較的薄いポリシリコン層を窒素雰囲気において650℃以下の温度で焼なまししてこのポリシリコン層に大きい粒子を形成し、薄膜ポリシリコン層を腐食することにより島を形成し、薄いゲート酸化物層を少なくとも1つの島に形成し、比較的厚いドーパされたポリシリコン層をゲート酸化物層に堆積し、ゲート酸化物層の横方に隣接する露出区域および

5

下側ポリシリコン島を有する比較的によくドーブされた比較的厚いポリシリコン層からゲートを形成し、ゲートに横方に隣接するポリシリコン島の形成した露出区域の部分を少なくドーブして少なくドーブされたソースおよびドレイン区域を形成し、薄い酸化珪素層をゲートおよび少なくドーブされたソースおよびドレイン区域に堆積し、少なくドーブされたソースおよびドレイン区域に横方に隣接するポリシリコン層の露出区域を比較的によくドーブして比較的によくドーブされたソースおよびドレイン区域を形成し、ソースおよびドレイン区域を 600 ~ 750 °C の温度で焼なましし、次いで形成したデバイスを水素プラズマによって約 400°C 以下の温度で水素化する各段階を含んでいる。

【0010】本発明の他の観点によると、約 650°C 以下の焼なまし点を有するガラス基板を用いる本発明のこの観点において、次の付加段階：すなわち、薄いアルカリ不活性無機材料層をガラス基板に、最初の比較的厚い酸化珪素層を堆積する前に、堆積する段階を用いる。この付加段階は 650°C 以下の温度で行う。

【0011】

【実施例】図1a、1bおよび1cは本発明による薄膜トランジスタの製造に用いる二三の段階において形成された構造の断面を示しているが、一定尺度で示していない。図2は本発明の薄膜トランジスタのゲート電圧とドレインまたは漏れ電流との関係のグラフを示している。

【0012】基板がガラスである場合には、基板は 650 °C 以上の焼なまし点を有するのが好ましい。しかしながら、他のガラス基板を用いることができる。

【0013】ガラス基板を用いて薄膜トランジスタを製造する本発明の方法は、先づ薄いアルカリ不活性無機材料層をガラス基板に堆積するのが好ましい。このアルカリ無機材料としては窒化珪素を例示することができる。しかしながら、他のアルカリ不活性無機材料、例えばオキシ窒化珪素を用いることができる。アルカリ不活性無機材料層の厚さは約 800 ~ 1200 Å が好ましい。次いで、比較的厚い酸化珪素層をアルカリ不活性無機材料層に化学蒸着によって堆積する。次いで、比較的薄いポリシリコン層を酸化珪素層に 520 ~ 570 °C の温度で堆積する。次いで、この薄いポリシリコン層を窒素雰囲気中 6 50 °C 以下の温度（好ましくは 580 ~ 620 °C の温度）で焼

【0014】次いで、このポリシリコン層の選定部分を腐食により除去してこのポリシリコン層に所望とする島を形成し、酸化珪素層の選定区域を露出する。次いで薄いゲート酸化物層をこれらの島に、この島を高圧下 650 °C 以下の温度で酸化することによって形成する。550 ~ 650 °C の温度範囲および 5 ~ 50 気圧の圧力を用いるのが好ましい。次いで、ゲートをゲート酸化物層に形成する。この場合、多くドーブされたポリシリコン層をゲート酸化物層に堆積し、この比較的によくドーブされたポ

6

リシリコン層の部分を腐食してゲートを形成する。p または n ドープ剤はゲートに僅かに隣接するポリシリコンの島の区域に注入して少なくドーブされたソースおよびドレイン区域を形成する。

【0015】次いで、薄い酸化珪素層（好ましくは 500 ~ 50,000 Å）をゲートおよび隣接するドーブされたソースおよびドレイン区域に化学蒸着によって設ける。次いで、比較的によくドーブされたソースおよびドレイン区域に隣接するシリコン層に p または n ドープ剤を多く注入し、650 °C 以下の温度で焼なましする。次いで、形成したデバイスを水素プラズマによって約 450°C 以下の温度で水素化する。水素化は 200 ~ 450°C の温度で行うのが好ましい。

【0016】比較的によくドーブされたソースおよびドレイン区域には、 $0 \sim 5 \times 10^{13}$  原子/cm<sup>2</sup> の注入量（implant dose）を与え、また比較的によくドーブされたソースおよびドレイン区域には  $5 \times 10^{13} \sim 5 \times 10^{15}$  原子/cm<sup>2</sup> の注入量を与えることができる。多くドーブされたゲートにおけるドーピング濃度は  $10^{19} \sim 10^{21}$  原子/cm<sup>2</sup> にすることができる。

【0017】ドーピング剤として、BF<sub>3</sub> 源を用いることができるが、しかしながら他の可能なドーピング源、例えば B、P を用いることができる。ドーピングはイオン注入によって行うことができる。

【0018】比較的厚い酸化珪素層は 15,000 ~ 25,000 Å の厚さを有し、比較的薄いポリシリコン層は 800 ~ 1700 Å の厚さを有し、および比較的薄い酸化珪素層は約 800 ~ 1200 Å の厚さを有するのが好ましい。比較的厚いポリシリコン層は 4000 ~ 7000 Å の厚さを有するのが好ましい。基板が石英または半導体のようにアルカリを比較的に含んでいない場合には、アルカリ不活性無機材料層および比較的厚い酸化珪素層を省くことができる。次いで、比較的薄いポリシリコン層を基板に直接に堆積することができる。

【0019】実施例1

清浄にしたガラス ウエハー 1 に、約 1500 Å 厚さの窒化珪素層 2 を LPCVD プロセスによって堆積した。次に、2 ミクロン厚さの最初の比較的厚い酸化珪素層 3 を窒化珪素層に LPCVD プロセスによって堆積した。次いで、比較的薄いポリシリコン層 4 を比較的厚い酸化珪素層 3 に LPCVD プロセスによって堆積した。次いで、ポリシリコン層 4 を窒素雰囲気中、約 600°C の温度で約 48 時間にわたって焼なましした。

【0020】次いで、ポリシリコン層 4 を所望パターンに従って腐食してポリシリコン層から島 5 を形成すると共に、酸化珪素層 3 の露出部分を残留させた。

【0021】次いで、約 1000 Å 厚さの薄いゲート酸化物層 6 を島 5 に形成した。次いで、約 5000 Å 厚さの比較的厚いポリシリコン層 7 をゲート酸化物層 6 に堆積した。次いで、比較的厚いポリシリコン層 7 を二弗化硝

7

素注入剤で多く注入した。得られたドーパ剤濃度は約 $10^{10} \sim 10^{11}$ 原子/cm<sup>2</sup>であった。

【0022】次いで、多くドーパされたポリシリコン層7の部分を選択性イオン腐食によって除去し、これによってゲート8およびゲート酸化物層6および下側の比較的に薄いポリシリコン層5の露出部分を形成した。次いで、ゲート8に横方に隣接する少なくドーパされたソースおよびドレイン区域9および10をポリシリコン層5に、二弗化硼素注入剤を用いて形成した。この場合、約 $10^{12} \sim 10^{13}$ 原子/cm<sup>2</sup>の二弗化硼素(BF<sub>3</sub>+)を与えた。

【0023】次いで、約3000Å厚さの比較的に薄い酸化珪素層11をゲート8、および少なく注入したソースおよびドレイン区域9および10上に設けた。比較的に多くドーパされたソースおよびドレイン区域12および13を、少なくドーパされたソースおよびドレイン区域に横方に隣接するポリシリコン層の区域に、硼素を $10^{15}$ 原子/cm<sup>2</sup>の注入量で注入することによって形成した。

【0024】酸化物層11は注入マスクとして作用し、ゲートに隣接する少なくドーパされた区域9および10を多量注入中、多くドーパされないようにする。次いで、ソースおよびドレイン区域を窒素中、約650℃の温度で約10\*

8

\*時間にわたって焼なました。次いで、層を水素プラズマを用いて水素化した。水素化は上記欧州特許第0129037号明細に記載されている方法によって行った。約300℃の温度で120分間にわたり100ミリリットル(m Torr)の分子水素の分圧におけるプラズマ放電における焼なましを用いた。

#### 【0025】実施例2

本例では、石英基板を用い、最初の比較的に厚い酸化珪素層を基板に直接堆積し、および薄い無機材料層を省いた以外は、実施例1に記載すると同様に処理して薄膜トランジスタを作った。実施例2によって作った薄膜トランジスタのゲート電圧およびドレインまたは漏れ電流を図2のグラフに示す。

【0026】このグラフにおいて、ゲート電圧(VG)を横軸に示し、ドレインまたは漏れ電流(ID)を縦軸に示している。

【0027】従来の方法によって作った薄膜トランジスタと比べて、実施例2の方法により作った薄膜トランジスタの漏れ電流特性を次の表に示す：

【0028】

【表1】

使用したトランジスタ	最小漏れ電流 (pA/μm)	5Vオフセット における 漏れ電流 (pA/μm)	10V オフセット における 漏れ電流 (pA/μm)
本 発 明	0.01	0.01	0.2
T.ノグチ氏ら「Proc. of MRS」 Vol. 106, p. 301 (1988)	1.0	10.00	100.00
K.ナガザワ氏ら「Proc. of SID」 p. 311 (1989)	0.30	0.50	1.0
A.ミクラ氏ら「IEEE Trans on Elec.」 Vol. 38, No. 2, p. 351 (1989年12月)	1.0	1.0	5.0

【0029】表に示す例において、漏れ電流値はゲート幅のミクロン当りのピコアンペアで示している。表に示すすべての例において、ソース対ドレイン電圧を5ボルトにした。表に示す「オフセット」は最小漏れ電流点からのものである。

#### 【図面の簡単な説明】

【図1】(a)は本発明による薄膜トランジスタの製造に用いる二三の段階で形成されたトランジスタ構造の断面図である。

(b)は本発明による薄膜トランジスタの製造に用いる二三の段階で形成されたトランジスタ構造の断面図である。

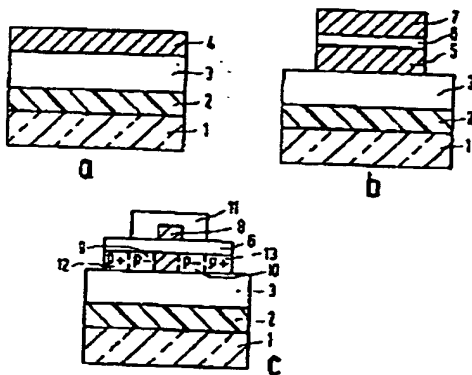
(c)は本発明による薄膜トランジスタの製造に用いる二三の段階で形成されたトランジスタ構造の断面図である。

【図2】本発明による薄膜トランジスタのゲート電圧とドレインまたは漏れ電流との関係のグラフである。

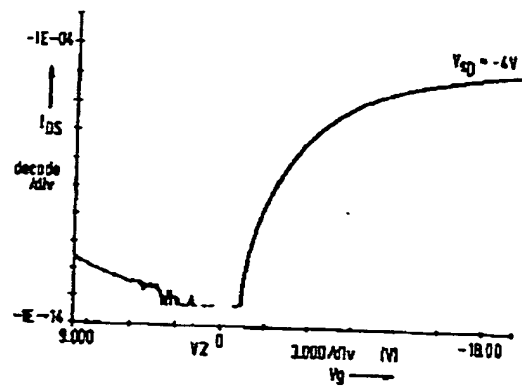
#### 【符号の説明】

- 1 ガラス ウエハー
- 2 窒化珪素層
- 3 最初の比較的に厚い酸化珪素層
- 4 比較的に薄いポリシリコン層
- 5 島
- 6 薄いゲート酸化物層
- 7 比較的に厚いポリシリコン層
- 8 ゲート
- 9, 10 少なくドーパされたソースおよびドレイン区域
- 11 比較的に薄い酸化珪素層
- 12, 13 比較的に多くドーパされたソースおよびドレイン区域

【図1】



【図2】



フロントページの続き

(72)発明者 マハリンガム ベンカテサン  
 アメリカ合衆国 ニューヨーク州 10562  
 モウヒーガン レーク ジービー キン  
 グス コート 番地なし